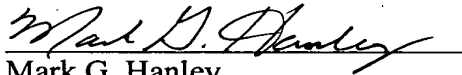




PATENT  
Docket No. 20063/OG03-018

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s): Chee Hong Choi	)	I hereby certify that the documents
Serial No.: 10/758,150	)	referred to as enclosed herewith are
Filed: January 15, 2004	)	being deposited with the United States
For: "Method for Fabricating a	)	Postal Service, first class postage
Metal-Insulator-Metal Capacitor in a	)	prepaid, in an envelope addressed to
Semiconductor Device"	)	the Commissioner for Patents, P.O.
Group Art Unit: Unknown	)	Box 1450, Alexandria, Virginia
Examiner: Not Yet Assigned	)	22313-1450 on this date:
	)	<b>February 5, 2004</b>
	)	
	)	Mark G. Hanley
	)	Reg. No. 44,736

TRANSMITTAL OF PRIORITY DOCUMENT


Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.  
10-2003-0056827 filed August 18, 2003, the priority of which is claimed under 35  
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.  
Suite 4220  
20 North Wacker Drive  
Chicago, Illinois 60606  
(312) 580-1020

By:   
Mark G. Hanley  
Registration No.: 44,736

**February 5, 2004**



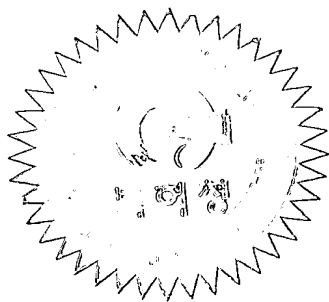
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0056827  
Application Number

출원 년 월 일 : 2003년 08월 18일  
Date of Application AUG 18, 2003

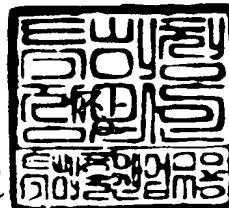
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2004 년 01 월 08 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.08.18
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 캐패시터 제조 방법
【발명의 영문명칭】	Method for manufacturing capacitor of semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	서천석
【대리인코드】	9-2002-000233-5
【포괄위임등록번호】	2003-014348-4
【발명자】	
【성명의 국문표기】	최치홍
【성명의 영문표기】	CHOI, Chee Hong
【주민등록번호】	730722-1670310
【우편번호】	604-825
【주소】	부산광역시 사하구 다대1동 831-1번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서천석 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	458,000 원

## 【요약서】

## 【요약】

본 발명은 금속-절연층-금속(Metal-Insulator-Metal, 이하 MIM) 캐패시터의 제조 방법에 관한 것으로, 특히 MIM 캐패시터 제조시 상부 금속층과 유전층을 식각하여 MIM 캐패시터를 제조할 경우 캐패시터의 모서리 부분에서 나타나는 하부 금속층과 상부 금속층의 브릿지 현상 및 프린징 효과에 의해 발생하는 누설 전류를 감소시키는 MIM 캐패시터 제조 방법에 관한 것이다

본 발명의 반도체 소자의 캐패시터 제조 방법은 MIM 캐패시터의 하부 전극으로 사용될 금속층을 증착하는 단계; 상기 금속층 상부에 희생층을 증착하는 단계; MIM 캐패시터가 형성될 영역의 희생층을 제거하는 단계; MIM 캐패시터의 유전체 및 상부 금속층을 증착하는 단계; 및 상기 유전체 및 상부 금속층을 패터닝하여 MIM 캐패시터를 형성하는 단계를 포함하여 이루어짐에 기술적 특징이 있다.

따라서, 본 발명의 반도체 소자의 캐패시터 제조 방법은 MIM 캐패시터의 상부 금속층과 유전층을 동시에 식각하는 종래의 방식에서는 하부 금속층 상부의 유전체층의 잔여막을 모두 제거하기 위하여 과도한 식각을 하게 되는데 이 때 하부 금속층이 식각되어 발생하게 되는 금속 물질들이 재증착되어 MIM 캐패시터의 상부 금속층과 하부 금속층의 브릿지를 유발하여 누설 전류 특성을 저하시키지만, 본 발명에서는 실리콘 산화물의 희생층을 사용하므로 과도한 식각에도 하부 금속층의 식각이 없다. 즉, 재증착에 의한 누설 전류 저하 요인을 근본적으로 제거할 수 있는 장점이 있다.

【대표도】

도 2f

【색인어】

MIM, Capacitor, 누설전류, 회생층

**【명세서】****【발명의 명칭】**

반도체 소자의 캐패시터 제조 방법{Method for manufacturing capacitor of semiconductor device}

**【도면의 간단한 설명】**

도 1a 내지 도 1f는 종래기술에 의한 MIM 캐패시터 제조 공정의 단면도.

도 2a 내지 도 2f는 본 발명에 의한 MIM 캐패시터 제조 공정의 단면도.

**<도면의 주요부분에 대한 부호의 설명>**

11 : 하부 금속층

12 : 희생층

14 : 유전체

15 : 상부 금속층

17 : 금속간 절연층

19 : 베리어 금속층

8, 20 : 플러그 금속

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 금속-절연층-금속(Metal-Insulator-Metal, 이하 MIM) 캐패시터의 제조 방법에 관한 것으로, 특히 MIM 캐패시터 제조시 상부 금속층과 유전층을 식각하여 MIM 캐패시터를 제

조할 경우 캐패시터의 모서리 부분에서 나타나는 하부 금속층과 상부 금속층의 브릿지 현상 및 프린징 효과에 의해 발생하는 누설 전류를 감소시키는 MIM 캐패시터 제조 방법에 관한 것이다.

<9> 반도체 메모리 소자의 집적도 향상에 따라 작은 면적에 높은 캐패시턴스를 확보하기 위해서 높은 유전상수를 갖는 유전막으로 캐패시터를 형성하거나 유전막을 얇게 형성하거나 또는 캐패시터의 단면적을 증가시키는 방법이 제시되고 있다.

<10> 캐패시터의 단면적을 증가시키기 위해서, 적층형 캐패시터 또는 트렌치형 캐패시터를 형성하는 기술 또는 반구형 폴리 실리콘막을 사용하는 기술 등 여러 가지 기술이 제안된 바 있으나, 이러한 기술들은 캐패시터의 구조를 복잡하게 만들며 공정이 너무 복잡하여 제조 단가의 상승과 수율을 저하시키는 등의 문제점이 있다.

<11> 캐패시터의 유전막으로는 보통  $\text{SiO}_2/\text{Si}_3\text{N}_4$ 계 유전물질을 사용하며, 캐패시터의 전극 물질에 따라, PIP(Poly Insulator Poly) 캐패시터, 또는 MIM 캐패시터를 사용하게 된다. PIP 캐패시터 또는 MIM 캐패시터 등과 같은 박막형 캐패시터는 MOS 캐패시터나 접합부 캐패시터와는 달리 바이어스에 독립적이기 때문에 캐패시터의 정밀성을 요구하는 아날로그 제품에 있어서 많이 사용되고 있다.

<12> 또한, MIM 캐패시터의 경우는 단위 면적당 캐패시턴스를 PIP 캐패시터에 비해 크게 제조하기 어려운 단점이 있는 반면, 전압이나 온도에 따른 캐패시턴스의 VCC(Voltage Coefficient for Capacitor)과 TCC(Temperature Coefficient for Capacitor)이 PIP 캐패시터에 비해 매우 양호한 특성을 나타내기 때문에 정밀한 아날로그 제품을 제조하는데 매우 유리하다.

<13> 도 1a 내지 도 1f는 종래 기술에 의한 캐패시터 제조 공정의 단면도이다.

- <14> 먼저, 도 1a는 소정의 장치가 구성되어 있는 기판(1)의 하부 금속층(2) 상에 유전체층(3) 및 상부 금속층(4)을 증착하는 단계이다.
- <15> 다음, 도 1b는 마스크(도시 안 함)를 사용하여 캐패시터가 형성될 영역의 유전체층과 상부 금속층을 동시에 식각하여 MIM 캐패시터(5)를 형성하는 단계이다.
- <16> 다음, 도 1c는 상기 MIM 캐패시터가 형성된 기판 전면에 층간 절연층(6)을 형성하는 단계이다.
- <17> 다음, 도 1d는 상기 형성된 MIM 캐패시터의 상부 금속층 및 하부 금속층을 각각 최상부 금속층과 연결하기 위한 콘택 비아 홀을 형성하기 위해 층간 절연층을 식각하고, 베리어 금속(7)을 증착하는 단계이다.
- <18> 다음, 도 1e는 비아 홀에 플러그 금속(8)을 매립하고 평탄화하여 콘택 비아 홀을 완성하는 단계이다.
- <19> 다음, 도 1f는 상기 텅스텐 상부에 금속층을 증착하고 패터닝하여 최상부 금속층(9)을 형성하여 MIM 캐패시터를 완성하는 단계이다.
- <20> 한국 공개 특허 제2003-0058317호는 하부전극을 지지하고 있는 산화물의 습식 제거시 식각용액에 층간 절연막이 어택받는 것을 방지하도록 하기 위해 식각 정지막을 형성하는 것이 특징이고, 한국 공개 특허 제2002-0073822호는 유전막이 균일하게 형성되고 또한 단차피복성을 우수하게 하고, 하부전극의 측벽에 스페이서를 구비하는 것이 특징이다.
- <21> 그러나, 상기와 같은 종래의 기술들에 있어서, 상부 금속층과 MIM 유전체를 동시에 식각하여 MIM 캐패시터를 형성하는 공정은 MIM 캐패시터의 모서리에서 발생하는 프링징 효과(fringing effect) 및 MIM 유전체의 식각에 필요한 어느 정도의 과잉 식각에 따라 하부 금속층

이 식각되어 재증착되어 발생하는 브릿지(bridge) 현상을 수반하므로 MIM 캐패시터가 쇼트되어 누설 전류 특성을 저하시킨다. 한편 상기와 같은 문제점을 해결하기 위해 하부 전극에 스페이서를 사용하는 방법이 있었으나, 공정 제어의 어려움으로 인해 브릿지 현상을 완전히 해결할 수 없고, 공정이 복잡해진다는 문제점이 있다.

### 【발명이 이루고자 하는 기술적 과제】

<22> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 하부 금속층 상부에 식각 정지층을 형성하여 MIM 캐패시터의 상부 금속층과 유전층을 동시에 식각하는 종래의 방식에서는 하부 금속층 상부의 유전체층의 잔여막을 모두 제거하기 위하여 과도한 식각을 하게 되는데 이 때 하부 금속층이 식각되어 발생하게 되는 금속 물질들이 재증착되어 MIM 캐패시터의 상부 금속층과 하부 금속층의 브릿지를 유발하여 누설 전류 특성을 저하시키지만, 본 발명에서는 실리콘 산화물의 희생층을 사용하므로 과도한 식각에도 하부 금속층의 식각이 없다. 즉, 재증착에 의한 누설 전류 저하 요인을 근본적으로 제거할 수 있는 MIM 캐패시터의 제조 방법을 제공함에 본 발명의 목적이 있다.

### 【발명의 구성 및 작용】

<23> 본 발명의 상기 목적은 MIM 캐패시터의 하부 전극으로 사용될 금속층을 증착하는 단계; 상기 금속층 상부에 희생층을 증착하는 단계; MIM 캐패시터가 형성될 영역의 희생층을 제거하는 단계; MIM 캐패시터의 유전체 및 상부 금속층을 증착하는 단계; 및 상기 유전체 및 상부 금

속층을 패터닝하여 MIM 캐패시터를 형성하는 단계를 포함하여 이루어진 반도체 소자의 캐패시터 제조 방법에 의해 달성된다.

- <24> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.
- <25> 도 2a 내지 도 2f는 본 발명에 의한 MIM 캐패시터 제조 공정의 단면도이다.
- <26> 먼저, 도 2a와 같이 소정의 장치가 형성된 기판(10)에 MIM 캐패시터의 하부 전극으로 사용될 금속층을 형성하고 패터닝하여 하부 금속층(11)을 형성하고, 층간 절연층을 식각할 때 식각 정지층으로 이용될 희생층(12)을 형성한다. 이 때 희생층은 실리콘 산화막 또는 실리콘 질화막을 화학기상증착법으로 100 내지 200Å의 두께로 증착한다.
- <27> 다음, 도 2b와 같이 MIM 캐패시터가 형성될 영역(13)의 희생층을 포토레지스트 공정을 이용하여 패터닝을 형성하고 건식 또는 습식 식각으로 제거한 후, MIM 캐패시터의 상부 금속층(14) 및 유전체(15)을 증착한다. 이 때, 상기 유전체는 SiN, SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, TaON, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, ZrO<sub>2</sub>, (Ba,Sr)TiO<sub>3</sub> (BST), (Pb,Zr)TiO<sub>3</sub> (PZT) 또는 (Pb,La)(Zr,Ti)O<sub>3</sub> (PLZT)와 같은 물질을 화학기상증착 또는 원자층 성장법(Atomic Layer Deposition)으로 단층 또는 복층으로 사용할 수 있으며, 200 내지 1000Å의 두께로 증착한다.
- <28> 다음, 도 2c와 같이 유전체 및 하부 금속층을 패터닝하고 식각하여 MIM 캐패시터(16)를 형성한 후, 층간 절연층(17)을 증착한다. 상기 층간 절연층은 실리콘 산화물 복합체가 사용될 수 있다. 이 때 상기 희생층은 유전체 및 하부 금속층을 식각할 때 식각 정지층으로 사용된다.

- <29> 다음, 도 2d와 같이 콘택을 형성하기 위해 비아 홀(18)을 형성한다. 이 때 하부 금속층 상부에 있는 희생층도 식각한다.
- <30> 다음, 도 2e와 같이 베리어 금속층(19)을 증착하고, 플러그 금속(20)으로 매립한 후 평탄화하여 콘택 비아를 형성한다. 이 때 플러그 금속은 텅스텐, 구리족 또는 백금족 원소으로 증착한다. 또한 베리어 금속은 고용점 금속 또는 그 질화물의 단층 또는 복층으로 구성되며, 예컨대, TaN, Ta/TaN, TiN 또는 Ti/TiN층으로 증착한다. 상기 고용점 금속은 철(Fe)의 융점인 1535℃ 보다 높은 온도에서 녹는 금속을 가리킨다.
- <31> 다음, 도 2f와 같이 금속을 증착하고 패터하여 최상부 금속층(21)을 형성하여, 콘택을 완성한다. 이상에서 사용되는 캐패시터 역할을 하는 금속층들은 알루미늄 또는 전이원소의 단독으로 구성되거나 이들의 합금으로 구성된다.
- <32> 상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

#### 【발명의 효과】

- <33> 따라서, 본 발명의 반도체 소자의 캐패시터 제조 방법은 하부 금속층을 형성하고 희생층을 증착하여 식각 정지층으로 사용함으로써 MIM 캐패시터의 상부 금속층과 유전층을 동시에 식각하는 종래의 방식에서는 하부 금속층 상부의 유전체층의 잔여막을 모두 제거하기 위하여 과

도한 식각을 하게 되는데 이 때 하부 금속층이 식각되어 발생하게 되는 금속 물질들이 재증착되어 MIM 캐패시터의 상부 금속층과 하부 금속층의 브릿지를 유발하여 누설 전류 특성을 저하시키지만, 본 발명에서는 실리콘 산화물의 회생층을 사용하므로 과도한 식각에도 하부 금속층의 식각이 없다. 즉, 재증착에 의한 누설 전류 저하 요인을 근본적으로 제거할 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 소자의 캐패시터 제조 방법에 있어서,  
MIM 캐패시터의 하부 전극으로 사용될 금속층을 증착하는 단계;  
상기 금속층 상부에 희생층을 증착하는 단계;  
MIM 캐패시터가 형성될 영역의 희생층을 제거하는 단계;  
MIM 캐패시터의 유전체 및 상부 금속층을 증착하는 단계; 및  
상기 유전체 및 상부 금속층을 패터닝하여 MIM 캐패시터를 형성하는 단계  
를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

**【청구항 2】**

제 1항에 있어서,  
상기 MIM 캐패시터를 형성하는 단계 이후  
금속선간 절연층을 증착하고 패터닝하여 비아 홀을 형성하는 단계;  
상기 비아 홀에 베리어 금속층을 증착하고 플러그 금속을 매립한 후 평탄화하는 단계;  
및  
금속층을 증착하고 패터닝하는 단계  
를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 3】**

제 2항에 있어서,

상기 플러그 금속은 텅스텐, 구리족, 백금족 원소 중 어느 하나임을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 4】**

제 2항에 있어서,

상기 베리어 금속은 고용점 금속 또는 그 질화물의 단층 또는 복층으로 구성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 5】**

제 1항에 있어서,

상기 희생층은 식각 정지층으로 이용됨을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 6】**

제 1항에 있어서,

상기 희생층은 실리콘 산화물 또는 실리콘 질화물임을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 7】**

제 1항에 있어서,

상기 희생층은 100 내지 200Å의 두께로 증착함을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 8】**

제 1항에 있어서,

상기 유전막은 SiN, SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, TaON, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, ZrO<sub>2</sub>, (Ba,Sr)TiO<sub>3</sub>, (Pb,Zr)TiO<sub>3</sub> 및 (Pb,La)(Zr,Ti)O<sub>3</sub> 중 어느 한층 또는 이들 중에서 선택된 복층을 사용함을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 9】**

제 1항에 있어서,

상기 유전막은 200 내지 1000Å의 두께로 증착함을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

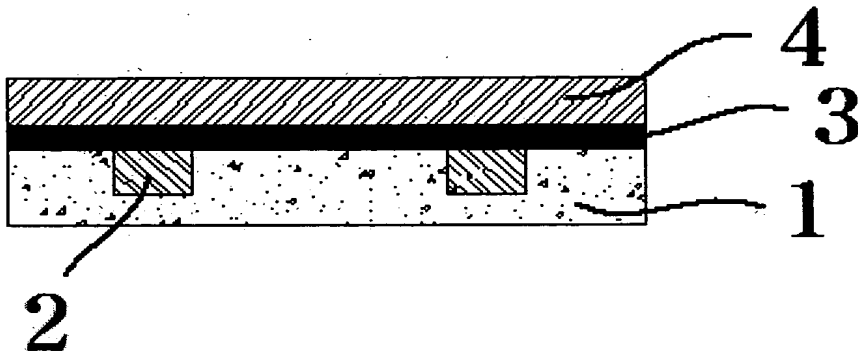
**【청구항 10】**

제 1항에 있어서,

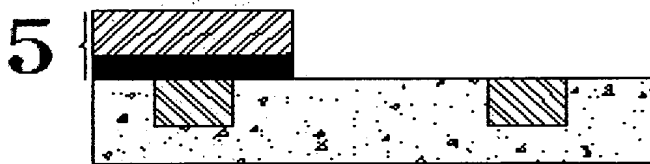
상기 MIM 커패시터의 상부 금속 및 하부 금속은 알루미늄 또는 전이원소이거나 이들의 합금인 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【도면】

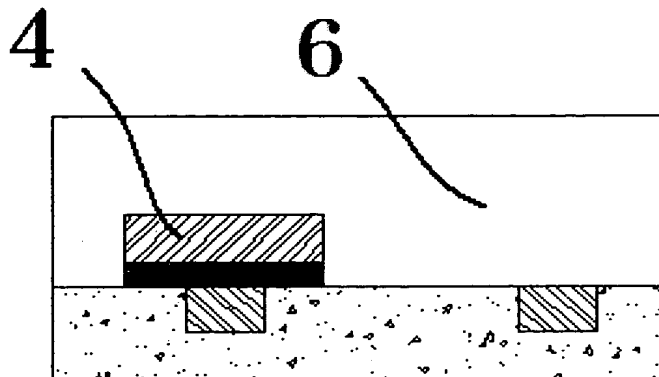
【도 1a】



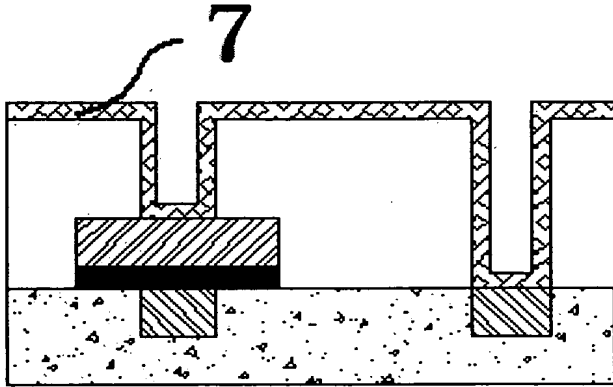
【도 1b】



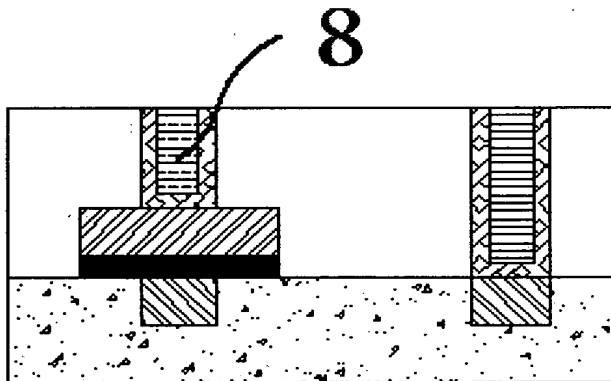
【도 1c】



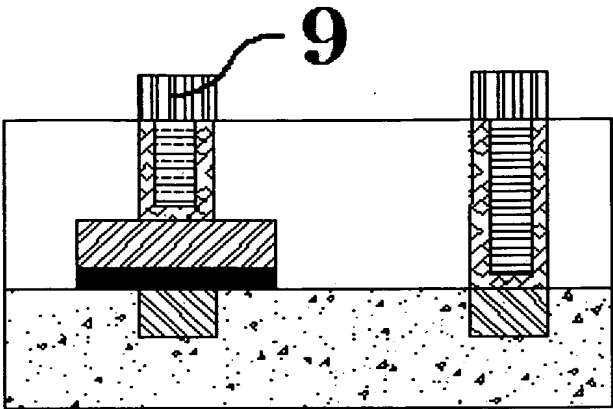
【도 1d】



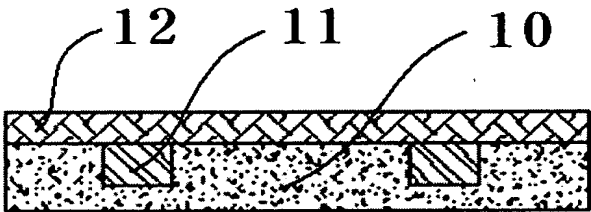
【도 1e】



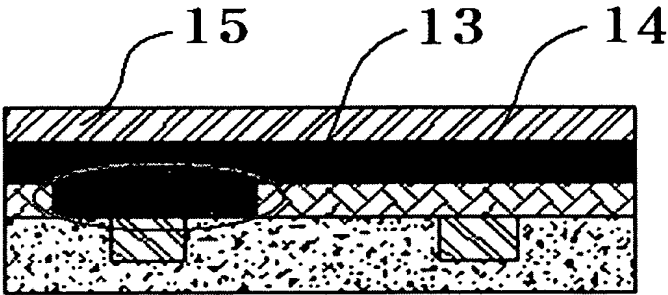
【도 1f】



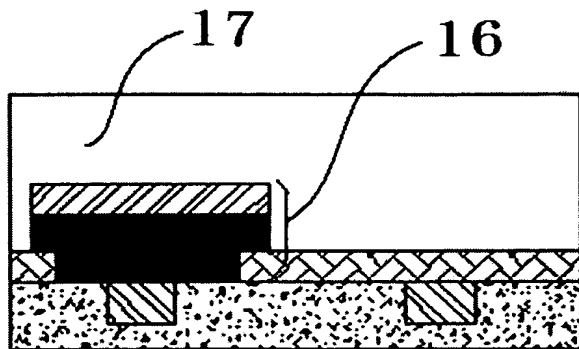
【도 2a】



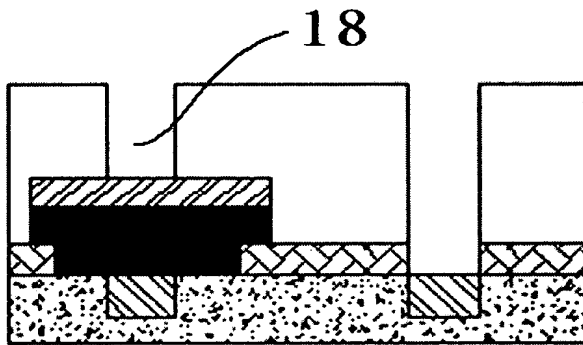
【도 2b】



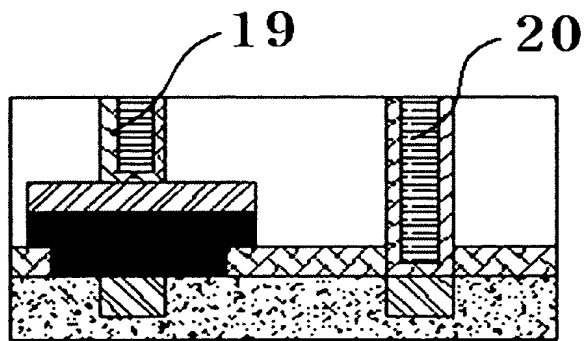
【도 2c】



【도 2d】



【도 2e】



【도 2f】

